

Translation

Rec'd PCT/PTO 21 APR 2005

PATENT COOPERATION TREATY

PCT

PCT Application  
PCT/JP2002/011243



INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 24869-PCT	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP02/11243	International filing date (day/month/year) 29 October 2002 (29.10.02)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC G06F 11/20, 15/177, 3/00		
Applicant KABUSHIKI KAISHA FORKS		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of 4 sheets, including this cover sheet.
- ☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).
- These annexes consist of a total of 5 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☒ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☒ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 28 July 2003 (28.07.03)	Date of completion of this report 28 August 2003 (28.08.2003)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP02/11243

## I. Basis of the report

### 1. With regard to the elements of the international application:\*

- ☐ the international application as originally filed
- ☒ the description:  
 pages 1-2,5-10, as originally filed  
 pages 3,4,4/1, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☒ the claims:  
 pages \_\_\_\_\_, as originally filed  
 pages 1-4, as amended (together with any statement under Article 19  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☒ the drawings:  
 pages 1-5, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

### 2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

### 3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

### 4. ☒ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☒ the claims, Nos. 5
- ☐ the drawings, sheets/fig \_\_\_\_\_

### 5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.  
PCT/JP02/11243

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-4	YES
	Claims		NO
Inventive step (IS)	Claims	1-4	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-4	YES
	Claims		NO

### 2. Citations and explanations

Document 1: JP 60-221863 A (Matsushita Communication Industrial Co., Ltd.), November 6, 1985

Document 2: JP 3-75836 A (Fujitsu Ltd.), March 29, 1991

Document 3: JP 2002-269029 A (NEC Corp.), September 20, 2002

Claims 1-4

None of documents 1-3 cited in the ISR describes, in a case where a system controller comprising a bus arbiter and a non-volatile memory fails when the CPU board on the bus accesses said non-volatile memory, providing use rights for a bus in accordance with the request of other CPU boards simultaneously performing the same process, nor is this obvious to a person skilled in the art.

**INTERNATIONAL PRELIMINARY EXAMINATION REPORT**

International application No.

PCT/JP02/11243

**VII. Certain defects in the international application**

The following defects in the form or contents of the international application have been noted:

The description "122 is ... a bus arbiter" (specification page 5, lines 1-4) and the description "bus arbiter 122" (same page, lines 4, 14; page 6, lines 3, 6-7, 11) do not correspond with the legend for "bus arbiter 104" in Fig. 1. (Fig. 2 has "bus arbiter 122".)

REPLACED BY  
ART 34 AMDT

What is claimed is:

1. A system controller employing a center arbitration method for controlling a bus capable of detaching devices from and attaching the  
5 detached devices to the bus again as power being supplied, comprising:

a bus arbiter; and

a non-volatile memory, wherein:

said system controller has only periodically executed functions and passive functions.

10 2. A control system comprising:

a system controller comprising a bus arbiter and a non-volatile memory and having only periodically executed functions and passive functions; and

a bus having a center arbitration method from which devices can be detached and to which the detached devices can be attached again as power  
15 being supplied.

3. The control system according to claim 2, wherein:

said bus is a PCI bus or a compact PCI bus.

4. The control system according to claim 2, wherein:

said devices include a plurality of CPU boards; and

20 said boards execute the same processes synchronously.

5. A system control method for controlling a control system, said control system comprising:

a system controller comprising a bus arbiter and a non-volatile memory and having only periodically executed functions and passive functions;

25 a bus employing a center arbitration method from which devices can be detached and to which the devices can be attached again as power being supplied; and

a plurality of devices arranged on said bus, wherein:

30 one of said devices is assigned the right to use said bus by said bus arbiter and accesses to said non-volatile memory so that processed data by said assigned device are reflected to said non-volatile memory;

ORIGINAL

REPLACED BY  
ART 34 AMDT

the moment said assigned device is down, said bus arbiter assigns the right to use said bus to other device which succeeds to processes of the down device, and

5 the system is restored by detaching said down device from said bus and attaching said detached device to said bus again as power for the whole system being supplied.

ORIGINAL

# AMENDMENTS IN CLAIMS

[Received by the International Bureau on May 26, 2003 (26.05.03);

Originally filed Claims 1 to 4 are amended; Claim 5 is withdrawn.

5 1. (Amended) A control system comprising:

a system controller comprising a bus arbiter and a non-volatile memory and having only periodically executed functions and passive functions;

a bus employing a center arbitration method, from which devices can be detached and to which the detached devices can be attached again as power  
 10 being supplied; and

a plurality of CPU boards which execute the same processes synchronously, as devices arranged on said bus, wherein:

said system controller control the system to continue processes only by periodically executed functions and passive functions of a hardware structure  
 15 of the system such that when one of said CPU boards on said bus is down while accessing to said non-volatile memory, said system controller assigns the right to use said bus to other CPU board according to a requirement from said other CPU board; and

even if one of the CPU board is down, the system is restored by  
 20 detaching said down CPU board from said bus and attaching said detached CPU board to said bus again as power for the whole system being supplied.

2. (Amended) The system controller according to claim 1 further comprising a duplex power source system having a plurality of power sources, wherein:

25 even if one of the CPU boards or power sources is down, the system is restored by detaching said down CPU board or said down power source from said bus and attaching said detached CPU board or said detached power source to said bus again as power for the whole system being supplied.

3. (Amended) The system controller according to claim 2 further  
 30 comprising a duplex IO board system having a plurality of IO boards, wherein:

said system controller control the system to continue processes only by periodically executed functions and passive functions of the hardware structure of the system such that when one of said CPU boards or one of said IO boards on said bus is down while accessing to said non-volatile memory, said system controller assigns the right to use said bus to other CPU board or other IO board of said duplex IO board system according to a requirement from said other CPU board or said other IO board; and

even if either one of the CPU boards, the IO boards or the power sources is down, the system is restored by detaching said down CPU board, down IO board or down power source from said bus and attaching said detached device to said bus again as power for the whole system being supplied.

4. (Amended) A system control method for controlling a control system, said control system comprising:

a system controller comprising a bus arbiter and a non-volatile memory and having only periodically executed functions and passive functions;

a bus employing a center arbitration method from which devices can be detached and to which the detached devices can be attached again as power being supplied; and

a plurality of CPU boards which execute the same processes synchronously as devices arranged on said bus, wherein:

when one of said CPU boards on said bus is down while accessing to said non-volatile memory, said system controller assigns the right to use said bus to other CPU board according to a requirement from said other CPU board so as to continue processing; and

said control system is restored by detaching said down CPU board from said bus and attaching said detached CPU board to said bus again as power for the whole system being supplied.



## SUPPORTING STATEMENT UNDER ARTICLE 19(i)

Claim 1 is amended in order to specify the features of the invention more clearly such that the control system comprising: a system controller  
5 comprising a bus arbiter and a non-volatile memory and having only periodically executed functions and passive functions; a bus employing a center arbitration method, from which devices can be detached or to which the devices can be attached as power being supplied; and a plurality of CPU boards which execute the same processes synchronously, as devices arranged  
10 on said bus, wherein: even if one of the CPU board is down, processing in the system is continued by only functions of the hardware structure so that the system is restored by detaching said down CPU board from said bus and attaching said CPU board to said bus again as power for the whole system being supplied.

15 Cited reference JP60-221863 discloses devices share a memory by functions of a hardware structure, but does not disclose an arrangement to continue processing in the system when one of the devices is down.

Cited reference JP3-75836 discloses an arrangement to continue processing as succeeding data at a time when a system crashes, but the  
20 arrangement is attained by controlling software. It does not disclose a hardware structure to run a plurality of CPU boards to execute the same processes synchronously and all processed results except one CPU board are excluded by a bus.

Cited reference JP2002-269029 also does not disclose a hardware  
25 structure to run a plurality of CPU boards to execute the same processes synchronously and all processed results except one CPU board are excluded by a bus.

PCT

国際予備審査報告

(法第12条、法施行規則第56条)  
[PCT36条及びPCT規則70]


REC'D 15 SEP 2003

WIPO

PCT

出願人又は代理人 の書類記号 24869-PCT	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO2/11243	国際出願日 (日.月.年) 29.10.02	優先日 (日.月.年)
国際特許分類(IPC) Int. Cl <sup>7</sup> G06F11/20, G06F15/177, G06F3/00		
出願人(氏名又は名称) 株式会社フォークス		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。  <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で 5 ページである。
3. この国際予備審査報告は、次の内容を含む。  I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input checked="" type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input checked="" type="checkbox"/> 国際出願の不備 VIII <input type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 28.07.03	国際予備審査報告を作成した日 28.08.03	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員)  浜岸 広明 	5B 9845
電話番号 03-3581-1101 内線 3545		

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

<input checked="" type="checkbox"/> 明細書	第	1-2, 5-10	ページ、	出願時に提出されたもの
明細書	第	3, 4, 4/1	ページ、	国際予備審査の請求書と共に提出されたもの
明細書	第		ページ、	付の書簡と共に提出されたもの

<input checked="" type="checkbox"/> 請求の範囲	第		項、	出願時に提出されたもの
請求の範囲	第	1-4	項、	PCT19条の規定に基づき補正されたもの
請求の範囲	第		項、	国際予備審査の請求書と共に提出されたもの
請求の範囲	第		項、	付の書簡と共に提出されたもの

<input checked="" type="checkbox"/> 図面	第	1-5	ページ/図、	出願時に提出されたもの
図面	第		ページ/図、	国際予備審査の請求書と共に提出されたもの
図面	第		ページ/図、	付の書簡と共に提出されたもの

<input type="checkbox"/> 明細書の配列表の部分	第		ページ、	出願時に提出されたもの
明細書の配列表の部分	第		ページ、	国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分	第		ページ、	付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出された磁気ディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

<input type="checkbox"/> 明細書	第		ページ
<input checked="" type="checkbox"/> 請求の範囲	第	5	項
<input type="checkbox"/> 図面	図面の第		ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)	請求の範囲	1-4	有
	請求の範囲		無
進歩性(IS)	請求の範囲	1-4	有
	請求の範囲		無
産業上の利用可能性(IA)	請求の範囲	1-4	有
	請求の範囲		無

## 2. 文献及び説明(PCT規則70.7)

文献1: JP 60-221863 A (松下通信工業株式会社),  
1985.11.06  
文献2: JP 3-75836 A (富士通株式会社), 1991.03.29  
文献3: JP 2002-269029 A (日本電気株式会社),  
2002.09.20

## 請求の範囲1-4

バスアービタと不揮発性メモリを備えたシステムコントローラが、バス上のCPUボードが前記不揮発性メモリをアクセス中にダウンした場合に、同一の処理を同期して行っている他のCPUボードの要求に応じてバスの使用权を与えることは、国際調査報告に引用された文献1-3のいずれにも記載されておらず、当業者にとって自明なものでもない。

## VII. 国際出願の不備

この国際出願の形式又は内容について、次の不備を発見した。

明細書第5頁第1－4行目の「122は・・・バスアービタである」との記載、並びに、同頁第4行目、同頁第14行目、第6頁第3行目、同頁6－7行目及び11行目の「バスアービタ122」との記載と、第1図の「バスアービタ104」との図番が対応しない。（第2図では「バスアービタ122」となっている。）

また、複数のCPUが共通メモリを用いる場合には、高価なりフレクトメモリを用いることでさらに費用がかさむといった問題もあった。

この発明は叙上の点に着目して成されたもので、主として安価で安定性が高く、ダウンした際の情報、履歴を全て保存し、タイムラグのない  
5 処理の切り替えが可能なシステムコントローラ、コントロールシステム  
およびシステムコントロール方法を提供することを目的とする。

#### 発明の開示

以下に、この発明の技術内容を開示する。

10 (1) バスアービタと不揮発性メモリとを備え、定期的な機能および  
受動的な機能のみを有するシステムコントローラと、センターアービト  
レーション方式で、かつ電源投入したままデバイスの抜き差しが可能な  
バスと、前記バス上のデバイスとして、同一の処理を同期して行う複数  
15 のCPUボードとを有し、前記システムコントローラは、前記バス上の  
CPUボードが前記不揮発性メモリにアクセス中にダウンした場合、同  
一の処理を同期して行っている他のCPUボードの要求に応じてバスの  
使用权を与えることで、ハードウェア構造の定期的な機能および受動的  
な機能のみによって処理の続行を可能に制御し、かつ前記CPUボード  
20 がダウンしても、システム全体の電源は投入したままダウンしたCPU  
ボードを抜き差しして復旧できることを特徴とするコントロールシステ  
ム。

(2) 前記(1)項記載のコントロールシステムにおいて、二重化電  
源を有し、前記CPUボード、前記電源のいずれがダウンしても、シス  
テム全体の電源は投入したままダウンしたCPUボード、または電源を  
25 抜き差しして復旧できることを特徴とするコントロールシステム。

(3) 前記(2)項記載のコントロールシステムにおいて、前記バス

上のデバイスとして、二重化した I O ボードを有し、前記システムコントローラは、前記バス上の C P U ボードまたは I O ボードが前記不揮発性メモリにアクセス中にダウンした場合、同一の処理を同期して行っている他の C P U ボードまたは二重化した他の I O ボードの要求に応じて

5 バスの使用权を与えることで、ハードウェア構造の定期的な機能および受動的な機能のみによって処理の続行を可能に制御し、かつ前記 C P U ボード、前記 I O ボード、前記電源のいずれかがダウンしても、システム全体の電源は投入したままダウンした C P U ボード、または I O ボード、または電源を抜き挿しして復旧できることを特徴とするコントロールシステム。

10

(4) バスアービタと不揮発性メモリとを備え、定期的な機能および受動的な機能のみを有するシステムコントローラと、センタアービトレーション方式で、かつ電源投入したままデバイスの抜き挿しが可能なバスと、前記バス上のデバイスとして、同一の処理を同期して行う複数

15 の C P U ボードとを有するコントロールシステムのシステムコントロール方法であって、前記バス上の C P U ボードが前記不揮発性メモリにアクセス中にダウンすると、前記システムコントローラが同一の処理を同期して行っている他の C P U ボードの要求に応じてバスの使用权を与え、処理を続行させ、システム全体の電源は投入したままダウンした C P U

20 ボードを抜き挿しして復旧させることを特徴とするシステムコントロール方法。

#### 図面の簡単な説明

第 1 図は、本発明に係るコントロールシステムの概略構成を示すブ

25 ロック図、第 2 図は、本発明の実施例におけるシステムコントローラの構成を示すブロック図、第 3 図は、本発明を用いたノンストップコント

ロールシステムを示す図、第4図は、本発明に係るシステムコントロール方法を示すフローチャート、第5図は、従来の技術の概略を示すブロック図をそれぞれ示す。

5 発明を実施するための最良の形態

この発明をより詳細に説述するために、添付図面に従ってこれを説明する。

第1図～第4図を用いて本発明の実施例を説明する。

10 第1図は、本発明に係るコントロールシステムの概略構成を示すブロック図である。

第1図において、101は、クロック送出、バスアービタ、リセット送出、IDSEL送出等、定期的な機能および受動的な（パッシブな）機能のみを有するシステムコントローラ、102は、共通バス201上のデバイスからアクセス可能なSRAM等の不揮発性メモリ、103は



## 請求の範囲

1. (補正後) バスアービタと不揮発性メモリとを備え、定期的な機能  
および受動的な機能のみを有するシステムコントローラと、  
センターアービトレーション方式で、かつ電源投入したままデバイスの  
5 抜き差しが可能なバスと、  
前記バス上のデバイスとして、同一の処理を同期して行う複数のCPU  
ボードとを有し、  
前記システムコントローラは、前記バス上のCPUボードが前記不揮発  
性メモリにアクセス中にダウンした場合、同一の処理を同期して行っ  
10 ている他のCPUボードの要求に応じてバスの使用权を与えることで、  
ハードウェア構造の定期的な機能および受動的な機能のみによって処理  
の続行を可能に制御し、  
かつ前記CPUボードがダウンしても、システム全体の電源は投入した  
ままダウンしたCPUボードを抜き差しして復旧できることを特徴とす  
15 るコントロールシステム。

2. (補正後) 請求項1記載のコントロールシステムにおいて、  
二重化電源を有し、  
前記CPUボード、前記電源のいずれがダウンしても、システム全体の  
電源は投入したままダウンしたCPUボード、または電源を抜き差しし  
20 て復旧できることを特徴とするコントロールシステム。

3. (補正後) 請求項2記載のコントロールシステムにおいて、  
前記バス上のデバイスとして、二重化したIOボードを有し、  
前記システムコントローラは、前記バス上のCPUボードまたはIO  
ボードが前記不揮発性メモリにアクセス中にダウンした場合、同一の処  
25 理を同期して行っている他のCPUボードまたは二重化した他のIO  
ボードの要求に応じてバスの使用权を与えることで、ハードウェア構造

の定期的な機能および受動的な機能のみによって処理の続行を可能に制御し、

5    かつ前記CPUボード、前記IOボード、前記電源のいずれがダウンしても、システム全体の電源は投入したままダウンしたCPUボード、またはIOボード、または電源を抜き挿しして復旧できることを特徴とするコントロールシステム。

4. (補正後) バスアービタと不揮発性メモリとを備え、定期的な機能および受動的な機能のみを有するシステムコントローラと、  
10    センターアービトレーション方式で、かつ電源投入したままデバイスの抜き挿しが可能なバスと、  
前記バス上のデバイスとして、同一の処理を同期して行う複数のCPUボードとを有するコントロールシステムのシステムコントロール方法であって、

15    前記バス上のCPUボードが前記不揮発性メモリにアクセス中にダウンすると、前記システムコントローラが同一の処理を同期して行っている他のCPUボードの要求に応じてバスの使用权を与え、処理を続行させ、システム全体の電源は投入したままダウンしたCPUボードを抜き挿しして復旧させることを特徴とするシステムコントロール方法。